

Muchos fabricantes suministran ROM programables denominadas PROM. Estos chips integrados proporcionan flexibilidad al diseñador y permiten reducir costos, especialmente cuando sólo se precisan pequeñas cantidades de un determinado ROM. El costo de la máscara de conexiones es elevado cuando hay que amortizarlo entre pocas unidades. Además la demora en el suministro puede ser excesiva.

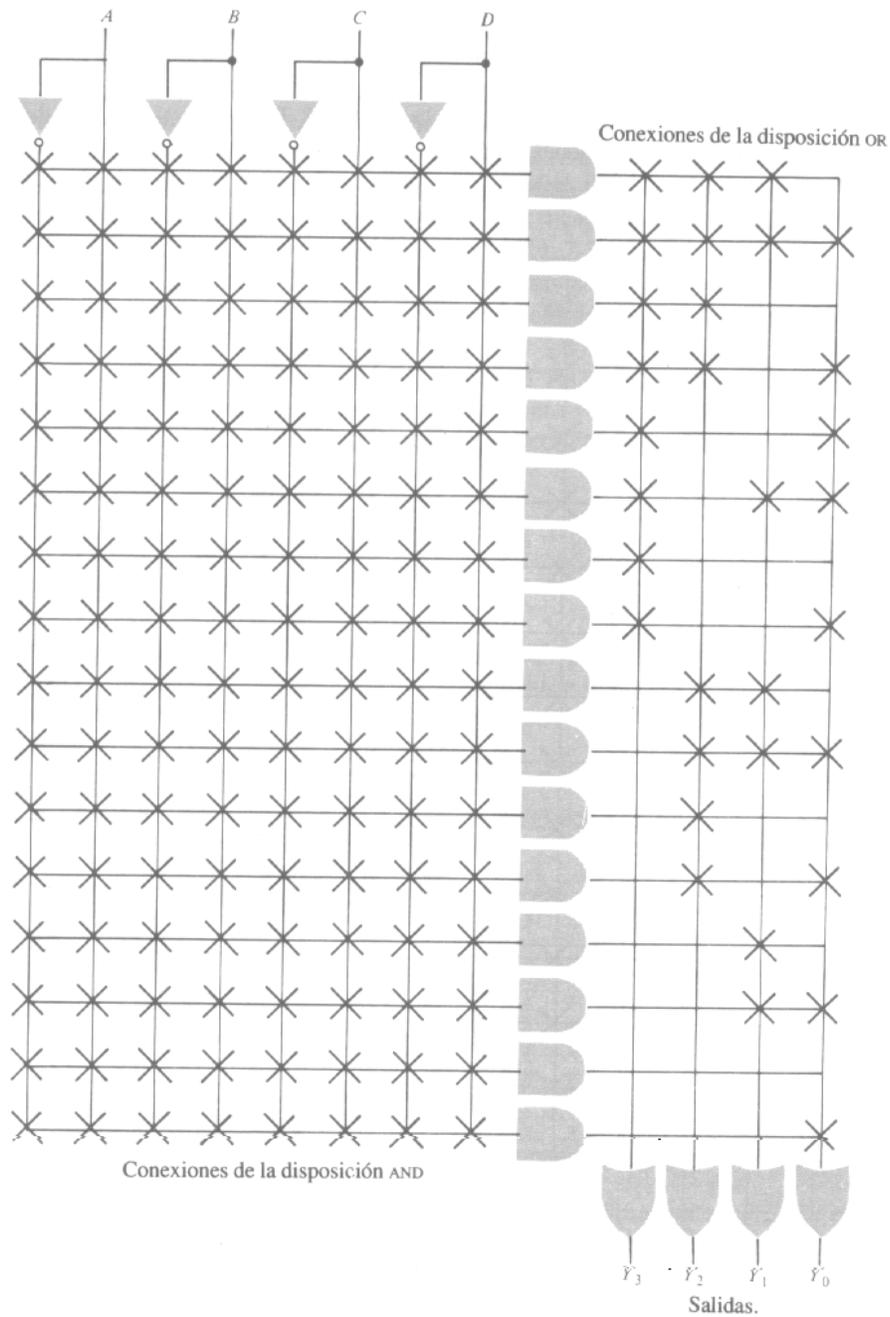
Para evitar esto se ha diseñado los PROMs que contienen una matriz codificadora en la que están hechas todas las conexiones posibles entre los emisores y las salidas. Por ejemplo la ROM de 256 bit descrita en la clase anterior puede convertirse en PROM conteniendo 32 transistores con 8 emisores cada uno (designados por $E_0, E_1, E_2, \dots, E_7$). Cada emisor E_0 está unido a la salida Y_0 , cada emisor E_1 está unido a la salida Y_1 y así sucesivamente. En serie con cada emisor se añade una fina cinta de polisilicio que actúa como fusible que abre el circuito cuando pasa por él una corriente superior a la prescrita a través del elemento de memoria. El usuario puede fundir y así eliminar la conexión (destruyendo estos fusibles) entre los emisores y las salidas que le interese no estén conectadas a fin de que la ROM responda a la relación funcional deseada entre entrada y salida.

Otra forma de ver la ROM es considerarla como una matriz consistente en una disposición AND y otra OR. Esta organización engendra una relación funcional entrada-salida en forma de suma de productos. La memoria programable de sólo lectura consiste en una disposición AND fija y otra OR programable como se ve en la figura de la página siguiente. Las x de esta figura representan las conexiones a las entradas de puerta (fusibles). Obsérvese que sólo existen algunas conexiones AND, mientras que todas las conexiones de entrada OR están hechas. La programación se lleva a cabo fundiendo las conexiones OR no deseadas. Para <<quemar>> el programa se emplea un aparato llamado programador que suministra la corriente necesaria para abrir el fusible. Evidentemente, una vez que la ROM ha sido programada fundiendo los fusibles, el programa ya no se puede alterar. No obstante, en ciertos MOS PROM se puede borrar el programa y escribir electrónicamente uno nuevo.

La lógica (PAL) está relacionada con la PROM en el sentido que también es una matriz que comprende una formación AND y otra OR. Sin embargo en la PAL la fija es la OR y la AND es la programable.

En muchos sistemas lógicos las expresiones simplificadas de Boole se alcanzan con la disposición PAL. En la figura de la página siguiente se muestra un PAL de 16 informaciones de 4 bit, en la que las x representan las conexiones que se pueden eliminar por acción de fusibles. Obsérvese que sólo figuran conexiones específicas OR mientras que están todas las AND posibles. El programa se prepara fundiendo las conexiones AND no deseadas empleando las mismas técnicas empleadas para los PROM. El <<Monolithic Memories 10H8>> es un PAL típico de 8 kb, disponible en un encapsulado de 20 patas. Contiene 10 líneas de entrada y 8 de salida pudiendo almacenar 1024 (2^{10}) informaciones de 8 bit.

También se pueden formar PAL empleando disposiciones AOI (10L8). El proceso de programar es idéntico que para la disposición AND-OR.

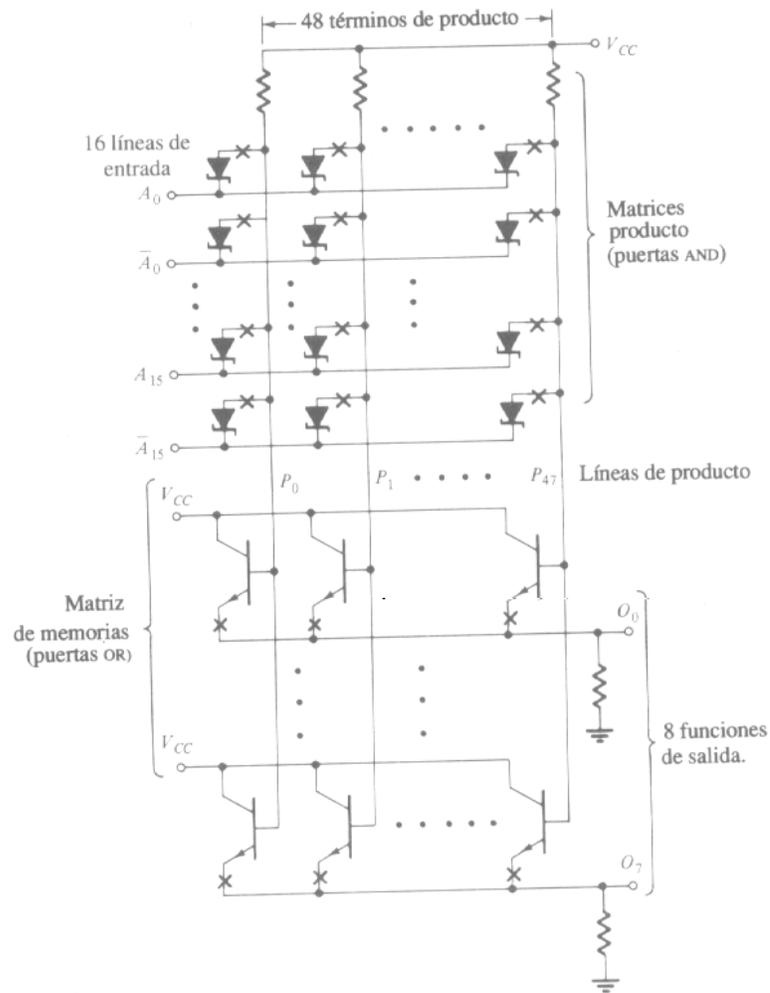


Esta disposición es la más versátil de las disposiciones AND-OR integradas. En un PLA existen todas las conexiones de las puertas AND y OR. El programa se prepara fundiendo los enlaces no deseados.

En todos los casos es interesante tener como referencia que conectando (o desconectando) las bases de los transistores con algún sistema de

diodos activo las puertas AND en tanto que conectando (o desconectando) los emisores múltiples de los transistores a las líneas de salida estoy activando las puertas OR.

En la figura se muestra el diagrama en bloques del dispositivo lógico programable en propio taller (FPLA) modelo 82S100 de Signetics. Este dispositivo lógico emplea diodos como puertas AND y transistores multiemisores en salida por emisor como puertas OR. Las uniones programables en forma de fusibles se representan con **x**.



En la figura precedente se nota que si se rompe la unión del diodo, la base del transistor no podrá enterarse nunca si la línea de entrada A_i cambia de estado y la tensión V_{CC} menos la caída correspondiente en la resistencia superior mantienen activada la base del transistor; en tanto que si la entrada A_i pasa a estado $\bar{1}$ la corriente circula por el diodo y la base del transistor pasa también al estado $\bar{1}$ haciendo que el transistor no conduzca (manejo de las puertas AND).

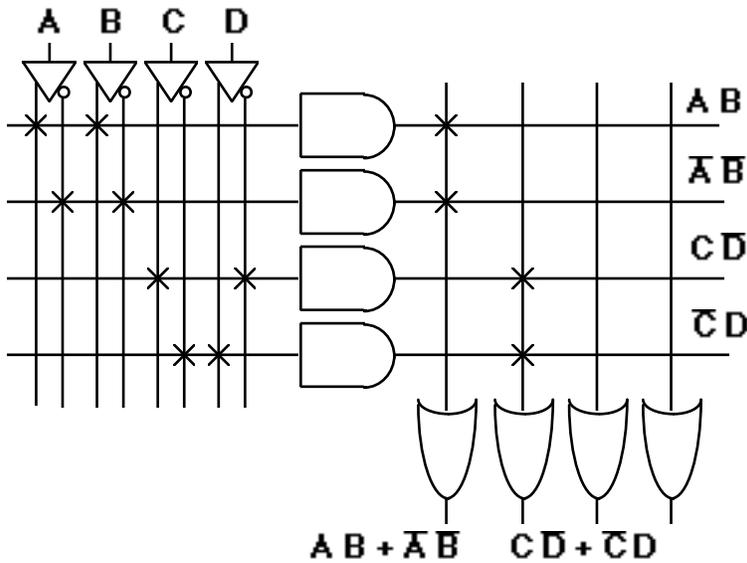
Las puertas OR están manejadas por las conexiones de los emisores múltiples a las salidas (en realidad los transistores encolumnados son uno solo pero multiemisor).

PLA Programmable Logic Array

An integrated circuit containing arrays or logic gates which can be programmed, using a PLA programmer, to perform complex logic functions. This reduces the 'chip count' of a system, because the PLA may save using half-a-dozen ordinary logic chips. The PLA is a bit more flexible than its close relative the Pal, but also a bit slower. [EPLD, Pal, PLD]

PLA

**Short-hand notation
so we don't have to
draw all the wires!**



Notation for implementing

$$F0 = A B + A' B'$$

$$F1 = C D' + C' D$$

Multiple functions of A, B, C

$$F1 = A B C$$

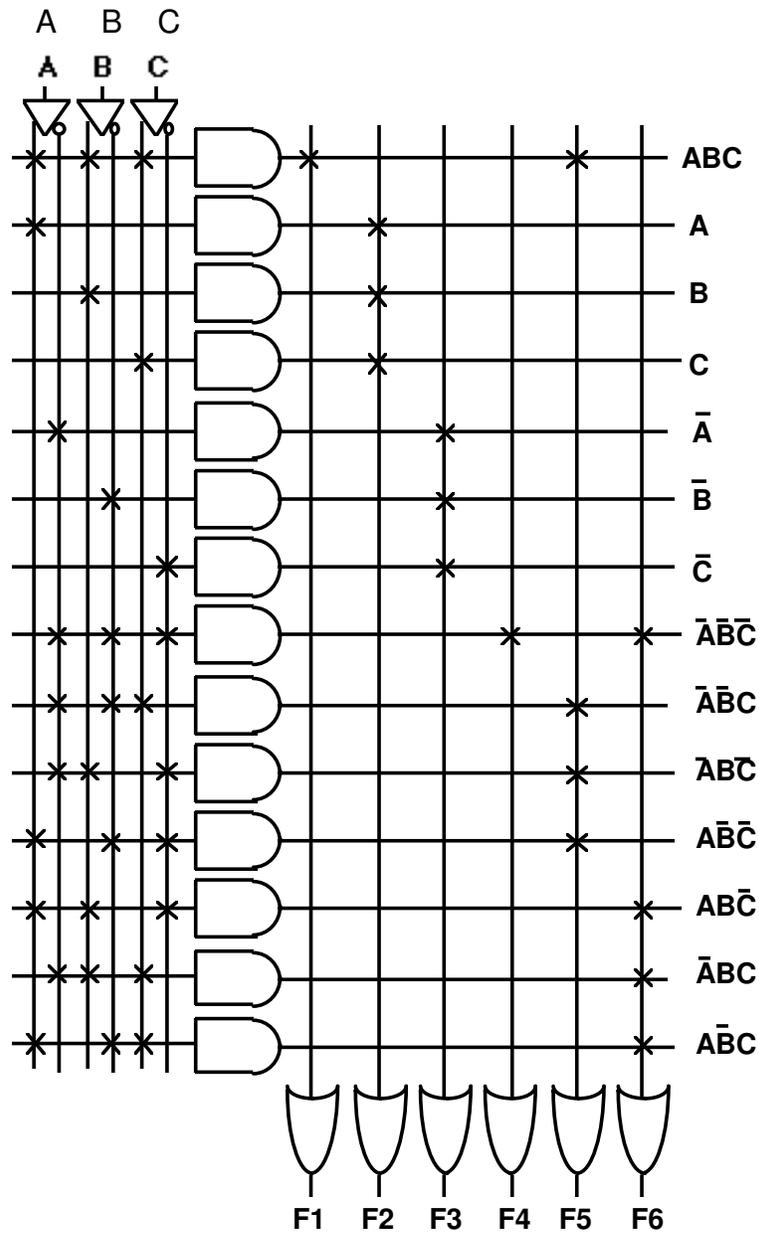
$$F2 = A + B + C$$

$$F3 = A B C$$

$$F4 = A + B + C$$

$$F5 = A \text{ xor } B \text{ xor } C$$

$$F6 = A \text{ xnor } B \text{ xnor } C$$

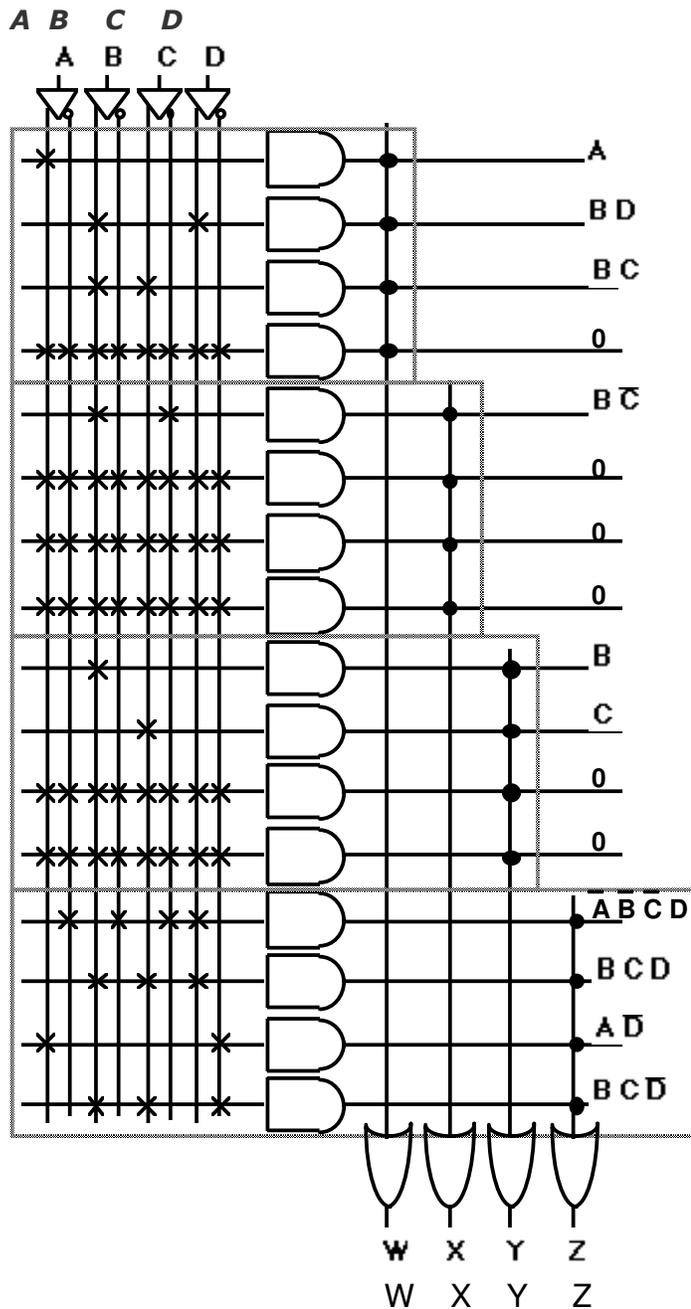


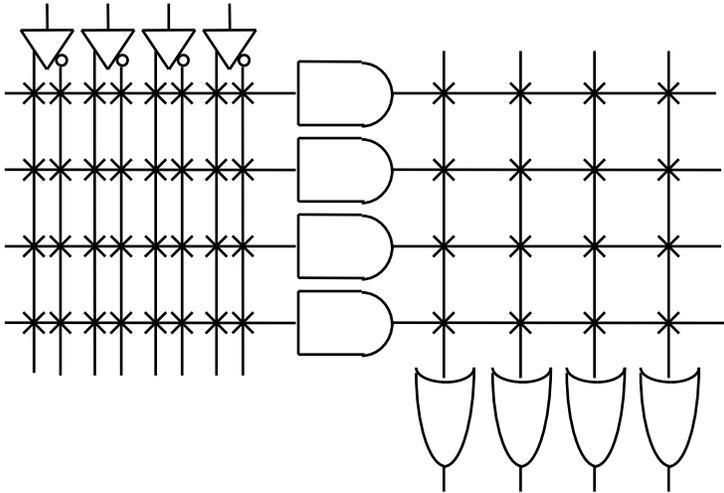
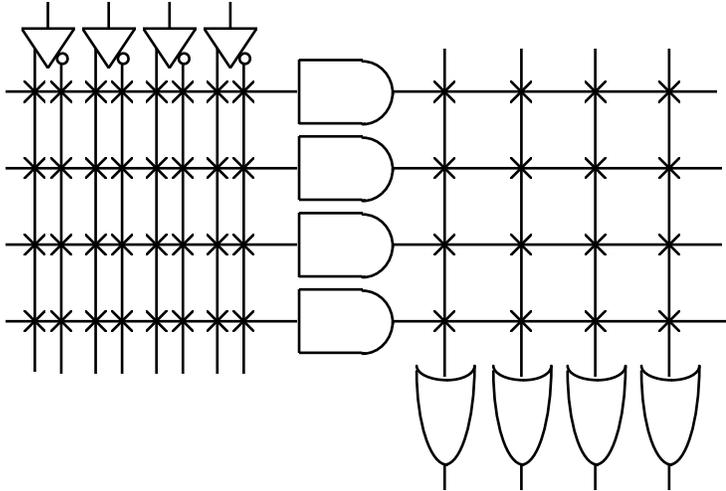
PAL Programmable Array Logic

A type of integrated circuit which contains an array of logic elements or 'gates' which can be programmed by the purchaser (using a Pal programmer). The idea

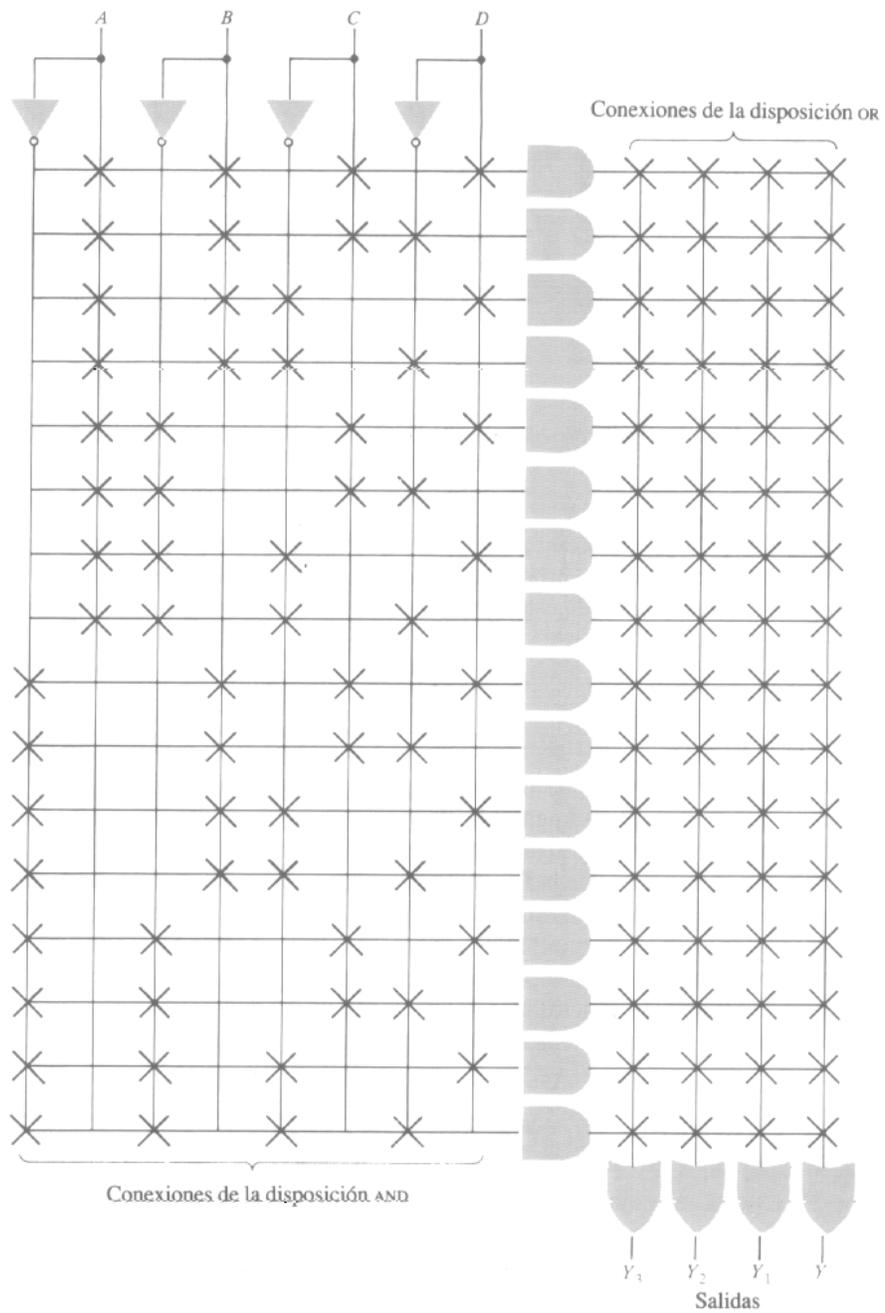
is that by programming one of these chips you can replace up to about six 'ordinary' logic chips, thus saving circuit board space and power consumption as well as improving reliability. Because of its internal construction, the Pal offers less flexibility than a PLA but is slightly faster. [EEPLD, EPLD, Hal, PLA, PLD]

Programmed PAL: 4 product terms per each OR gate

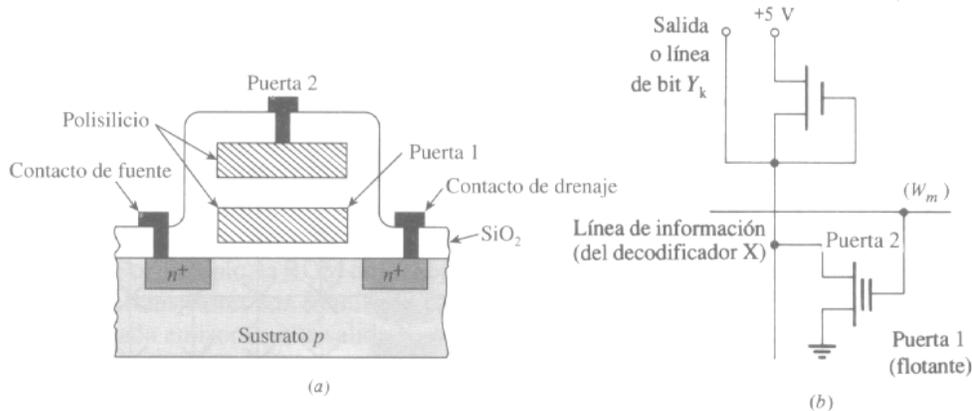




Existen dos tipos de MOS PROM en los que se puede borrar el programa y que son el llamado <<PROM borrable (EPROM)>> y el borrable eléctricamente (cambiable) (E²PROM o EAROM).



Las memorias programables de sólo lectura programadas fundiendo las conexiones no admiten cambios, pues el fusible quemado no puede repararse. Los PROM borrables se basan en la estructura especial MOS representada en la figura siguiente.



A este transistor NMOS de doble puerta a veces se le denomina FAMOS (por Floating-gate Avalanche-injection Metal Oxide Semiconductor) que sería un transistor MOS al que se le intercala, entre la puerta y el canal, una deposición de polisilicio (semiconductor) rodeado de SiO_2 (aislante). La idea se basa en colocar una pantalla eléctrica entre puerta y canal para evitar la inducción de cargas en el canal que permitan la corriente por el mismo. Pero se desea que uno pueda retirar esta pantalla si se lo propone.

La deposición mencionada actúa como una puerta flotante pues no tiene ningún contacto eléctrico con otra parte del circuito. Para activar esta puerta, aplicamos una tensión positiva alta (unos 25 V) entre la puerta 2 y el drenaje, la elevada intensidad del campo eléctrico en la región de deplexión de la unión pn drenaje-sustrato provoca una ruptura por avalanche, de esta ruptura nace una corriente adicional elevada. Los electrones de alta energía, que han sido acelerados por el campo eléctrico, atraviesan la fina capa de SiO_2 y se acumulan en la puerta 1.

Al retirar la tensión, la puerta 1 queda con una carga eléctrica adicional, que, por estar rodeado el semiconductor de un aislante no puede descargarse. Esta carga eléctrica evita la interacción entre la puerta 2 y el canal impidiendo que se induzca cargas en el canal para permitir el paso de corriente por el mismo cuando se aplica una tensión normal en la puerta 2 que pudiera provocar la conmutación del transistor al estado 1 (unos 5 V). Quedando entonces la puerta en un estado 1 permanente.

Las excelentes propiedades aislantes del SiO_2 hacen que esta carga se pueda mantener durante muchos años (se estima que hasta un 70% de la carga se puede mantener al cabo de 10 años de cargada la EPROM). Esta propiedad se mantiene aún a temperaturas de trabajo de 125 C.

Para descargar la puerta 1 hay que hacer conducir levemente la capa de óxido; el SiO_2 tiene la propiedad de volverse parcialmente conductor bajo la acción de radiación UV. Luego exponiendo la ventana del chip preparada a tal

efecto a una lámpara ultravioleta se descarga y consecuentemente se desprograma una EPROM.

Los EPROM descritos en el párrafo anterior tienen el defecto que para borrarlos hace falta exponerlos a radiación ultravioleta durante un tiempo considerable, lo que no los hace adecuados cuando se necesitan cambios rápidos. Para superar este inconveniente se ha diseñado los E²PROM que tienen un borrado de tipo eléctrico suficientemente rápido. Se basa en el mismo dispositivo anterior con la diferencia que la distancia entre la puerta 1 y el canal se reduce a unos 10nm (nanómetros) (algo así como cien capas de átomos... una nada).

Para cargar la puerta 1 se aplica entre puerta 2 y drenaje una tensión de 10V (valor mayor - más del doble - de la tensión nominal para activar el estado \square del transistor) con estas distancias es posible el pasaje de electrones a la puerta 1 por efecto túnel. Las cargas inducidas hacen el efecto de pantalla que evitan la formación del canal cuando se aplica una lógica 1 a la puerta 2.

El borrado se logra aplicando una tensión de 10V entre puerta 2 y drenaje pero invirtiendo el sentido de polarización con respecto al utilizado en el proceso de carga.